

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-209836

(43)Date of publication of application : 12.09.1991

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 02-005097

(71)Applicant : NEC CORP

(22)Date of filing : 12.01.1990

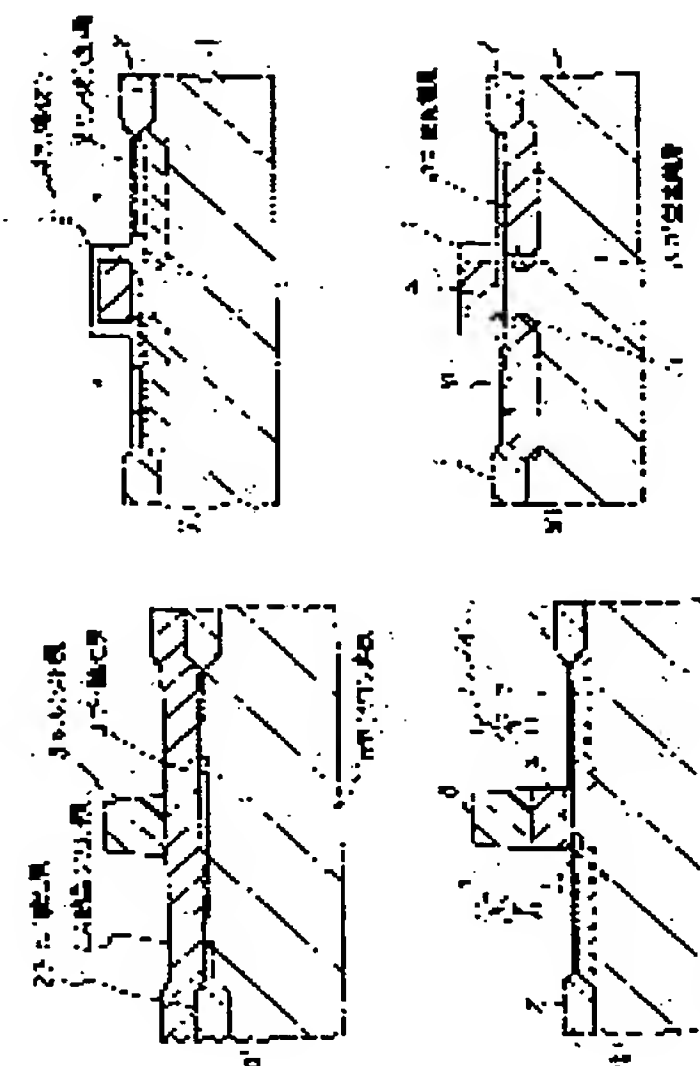
(72)Inventor : NISHIMOTO SHOZO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To hardly cause a punch through and to obtain a finer gate length by a method wherein an impurity is ion-implanted by an ion beam, which is made to slant to the normal of a semiconductor substrate and is rotated with the normal as an axis, as a photoresist film is left on a gate electrode.

CONSTITUTION: An impurity is ion-implanted by a phosphorus ion beam 7, which is made to slant to the direction of the normal of an n-type semiconductor silicon substrate 1 and is rotated with the normal as an axis, using a photoresist film 8 and a field insulating film 2 as masks to provide one conductivity type or inverse conductivity type phosphorus ion implanted layers 16 in element formation regions. Then, sidewall parts 6 consisting of an insulating film are respectively provided only on the side surfaces of a gate electrode 4 and inverse conductivity type impurity boron ions 9 are ion-implanted in the element formation regions using the sidewall parts 6, the electrode 4 and the film 2 as masks. Accordingly, the impurity ions can be implanted in the inside of the substrate through the end parts of the gate electrode without making the impurity ions pierce through the electrode 4. Thereby, a punch-through voltage between a source and a drain is improved and a gate length can be made short.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-209836

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月12日

H 01 L 21/336
29/784

8422-5F H 01 L 29/78 3 0 1 Z

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-5097

⑰ 出 願 平2(1990)1月12日

⑱ 発 明 者 西 本 昭 三 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置の製造方法

特許請求の範囲

一導電型半導体基板の一主面に選択的にフィールド絶縁膜を設けて素子形成領域を区画し前記素子形成領域の表面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を含む表面に導体層を堆積し前記導体層上にパターンニングしたホトレジスト膜を形成する工程と、前記ホトレジスト膜をマスクとして前記導体層をエッチングしゲート電極を形成する工程と、前記ホトレジスト膜及び前記フィールド絶縁膜をマスクとして前記半導体基板の法線方向に対して傾斜させ且つ前記法線を軸として回転させたイオンビームにより不純物をイオン注入して前記素子形成領域内に一導電型又は逆導電型のイオン注入層を設ける工程と、前記ゲート電極の側面にのみ絶縁膜の側壁部を設け前記側壁

部及び前記ゲート電極並びに前記フィールド絶縁膜をマスクとして前記素子形成領域内に逆導電型の不純物イオンをイオン注入する工程を含むことを特徴とする半導体装置の製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特に絶縁ゲート型電界効果トランジスタ(以下MOSFETと記す)を有する半導体装置の製造方法に関する。

〔従来の技術〕

従来のMOSFETは、第3図に示すように、 n 型不純物を含有するシリコン基板1の表面に設けた厚い SiO_2 からなるフィールド酸化膜2によって区画された素子形成領域の表面に設けたゲート酸化膜3と、ゲート酸化膜3の上に設けてリンをドーピングし高導電体にした多結晶シリコン層からなるゲート電極4と、ゲート電極4に整合して素子形成領域にホウ素をイオン注入して設け

たp型のソース・ドレイン領域5とを有してMOSFETを構成する。

〔発明が解決しようとする課題〕

上述した従来の半導体装置の製造方法は、ゲート電極及びフィールド酸化膜をマスクとして上方から加速したホウ素イオンを素子形成領域内にイオン注入し、熱処理により結晶性の回復とそれに伴うp型不純物の活性化を行うが、集積回路を構成する為に必要な配線層及び層間絶縁膜の形成や平坦化に不可欠な高温熱処理を経過する間にホウ素が熱的に拡散して深さ方向と横方向に拡大して行く。この結果、従来のpチャネル型MOSFETはソース・ドレイン領域がゲート電極の下部に入り込んだ構造に形成され、第1にソース領域とドレイン領域との間のパンチスルー耐圧を一定値以上に保つためには集積回路の微細化に反するにも拘らずゲート長を長くしなければならない。第2にゲート電極とソース・ドレイン領域との結合容量が大きいという欠点がある。

〔課題を解決するための手段〕

- 3 -

本発明の半導体装置の製造方法は、一導電型半導体基板の一主面に選択的にフィールド絶縁膜を設けて素子形成領域を区画し前記素子形成領域の表面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜を含む表面に導体層を堆積し前記導体層上にバターニングしたホトレジスト膜を形成する工程と、前記ホトレジスト膜をマスクとして前記導体層をエッチングしゲート電極を形成する工程と、前記ホトレジスト膜及び前記フィールド絶縁膜をマスクとして前記半導体基板の法線方向に対して傾斜させ且つ前記法線を軸として回転させたイオンビームにより不純物をイオン注入して前記素子形成領域内に一導電型又は逆導電型のイオン注入層を設ける工程と、前記ゲート電極の側面のみ絶縁膜の側壁部を設け前記側壁部及び前記ゲート電極並びに前記フィールド絶縁膜をマスクとして前記素子形成領域内に逆導電型の不純物イオンをイオン注入する工程を含んで構成される。

〔実施例〕

次に、本発明について図面を参照して説明す

- 4 -

る。

第1図(a)～(d)は本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図である。

まず、第1図(a)に示すように、n型シリコン基板1の一主面に選択的にフィールド酸化膜2を設けて素子形成領域を区画し、素子形成領域の表面を熱酸化してゲート酸化膜3を設ける。次に、ゲート酸化膜3の上に、CVD(Chemical Vapor Deposition)法により多結晶シリコン膜4を0.3 μ mの厚さに堆積し、リン等の不純物を拡散する。次に、多結晶シリコン膜4の上にホトレジスト膜8を塗布してバターニングする。

次に、第1図(b)に示すように、ホトレジスト膜8をマスクとしてRIE(Reactive-Ion Etching)等のプラズマエッチングにより多結晶シリコン膜4をエッチング除去してゲート電極4aを形成する。次に、ホトレジスト膜8をマスクとしてリンイオンを加速エネルギー150keV、ドーズ量 $5 \times 10^{13} \text{cm}^{-2}$ の条件でイオンビームを

- 5 -

基板表面の法線方向に対して $10^\circ \pm 3^\circ$ に傾けて法線を軸として1秒間に1回の速度で回転させながら入射させると共にシリコン基板を移動させてリンイオン7を基板表面に導入する。リンイオン7は、投影深さ R_p (Projected Range)が0.2 μ m、標準偏差(ΔR_p)が0.06 μ mであって、0.3 μ mの厚さのゲート電極のみをマスクにした場合は、MOSFETのチャンネル部分におよそ $5 \times 10^{12} \text{cm}^{-2}$ のリンが到達ししきい値を大幅に変化させることになるが、当実施例に於ては厚さ0.5 μ mのホトレジスト膜8がゲート電極とともにマスクの働きをして、MOSFETの特性を変動させる程のリン原子が通過することはない。また、法線に対して斜めに回転しながらイオンを注入することによって、ホトレジスト膜の影によって起こる左右の非対称を防止できるのみでなく、より一層ゲート電極下部方向へリンを拡散させることができ、ひいてはソース・ドレイン間のパンチスルー抑制効果を発揮する。

次に、第1図(c)に示すように、ホトレジス

- 6 -

ト膜 8 を除去した後、酸化シリコン膜を全面に堆積してエッチバックし、ゲート電極 4 a の側面のみ側壁部 6 を形成し、ゲート電極 4 a 及び側壁部 6 をマスクとして素子形成領域にホウ素イオン 9 をイオン注入する。

次に、第 1 図 (d) に示すように、高温アニールを行いイオン注入層を活性化してソース・ドレイン領域の p^+ 型拡散層 10 が形成される。ホウ素は拡散係数が大きいので拡散領域が大きく拡がって深く押し込まれる。前工程で注入されたリンは、ホウ素と比較して濃度が 2 桁小さいのでホウ素が注入されたところは補償されて p^+ 型拡散層 10 になるが、ゲート電極 4 a 直下のチャネル領域側では側壁部 6 をマスクとする位置のずれがあるため補償されずに残り、高濃度の n^+ 型拡散層 15 を形成して深部に於けるソース・ドレイン間のパンチスルー耐圧を向上させる。

第 2 図 (a) ~ (c) は本発明の第 2 の実施例を説明するための工程順に示した半導体チップの断面図である。

- 7 -

散層 14 と浅い n^+ 型拡散層 15 からなる LDD (lightly doped drain) 構造の MOS トランジスタを構成する。

〔発明の効果〕

以上説明したように、本発明はゲート電極上にホトレジスト膜を残したまま半導体基板の法線に対して傾斜させ且つ法線を軸として回転するイオンビームにより不純物をイオン注入することにより、高エネルギーで不純物を導入しても不純物イオンがゲート電極をつき抜けさせずに不純物をゲート電極端部より内側に入れることができるため、出来上がった MOSFET は

(A) 空乏層が広がり易い為パンチスルー耐圧を下げている基板深部に、基板と同導電型不純物を上記方法で導入してプロファイルの頂点がパンチスルーを起しているところと同じ深さに来る様にし、かつ、ソース・ドレイン領域に補償されてしまわないほど離間した構造を持たせてパンチスルーを起しにくく、従ってより微細なゲート長を実現できるという効果がある。

- 9 -

第 2 図 (a) に示すように、 p 型シリコン基板 11 の一主面に選択的にチャネル・ストッパ 12 及びフィールド酸化膜 2 を設けて素子形成領域を区画し、素子形成領域の表面に第 1 図 (a)、(b) の工程と同様の工程でゲート酸化膜 3、厚さ $0.2 \mu m$ のゲート電極 4、ホトレジスト膜 8 をそれぞれ設ける。次に、第 1 の実施例と同様にホトレジスト膜 8 をマスクとして基板表面の法線に対して $10^\circ \pm 3^\circ$ 傾けたリン・イオン 7 のビームを回転させながら入射し、素子形成領域内にリンイオン 7 を導入する。この工程によって、ゲート電極の端部より中央に向かってリン 7 が導入される。

次に、第 2 図 (b) に示すように、ホトレジスト膜 8 を除去した後、ゲート電極 4 の側面に側壁部 6 を $0.1 \mu m$ の厚さに設け、側壁部 6 及びゲート電極 4 をマスクとしてヒ素イオン 13 を浅くイオン注入する。

次に、第 2 図 (c) に示すように、熱処理によってリン及びヒ素注入層を活性化し深い n^- 型拡

- 8 -

(B) 薄膜化が進む半導体集積回路の LDD 型 MOSFET に沿ってゲート下のつきぬけがなく、幅広い n^- (又は p^-) 型層を形成できる効果がある。

ここで、(A) の効果については、実験結果を第 4 図に示す。 p チャネル型の MOSFET に於いては、パンチスルー耐圧として最小電圧を維持するための最小ゲート電極長は、不純物 (n 型) の注入エネルギーが特定の値のところで、最小となる。一方 n チャネル型の場合は単調に増大していくが、変化は小さい。

図面の簡単な説明

第 1 図 (a) ~ (d) 及び第 2 図 (a) ~ (c) は、本発明の第 1 及び第 2 の実施例を説明するための工程順に示した半導体チップの断面図、第 3 図は従来の半導体装置の一例を示す断面図、第 4 図は本発明のリンイオン注入エネルギーと最小ゲート長の関係を示す図である。

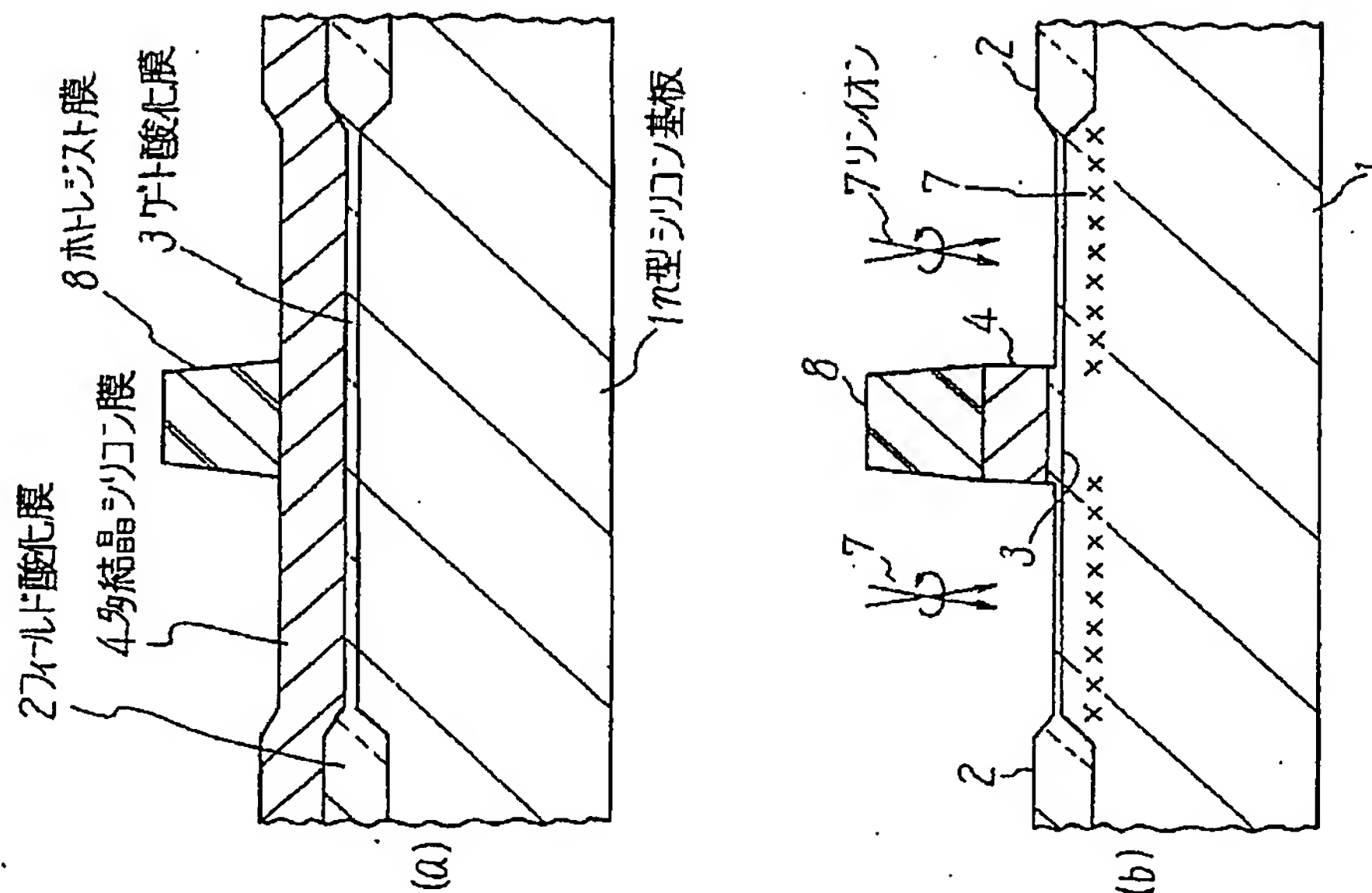
1 ... n 型シリコン基板、2 ... フィールド酸化

- 10 -

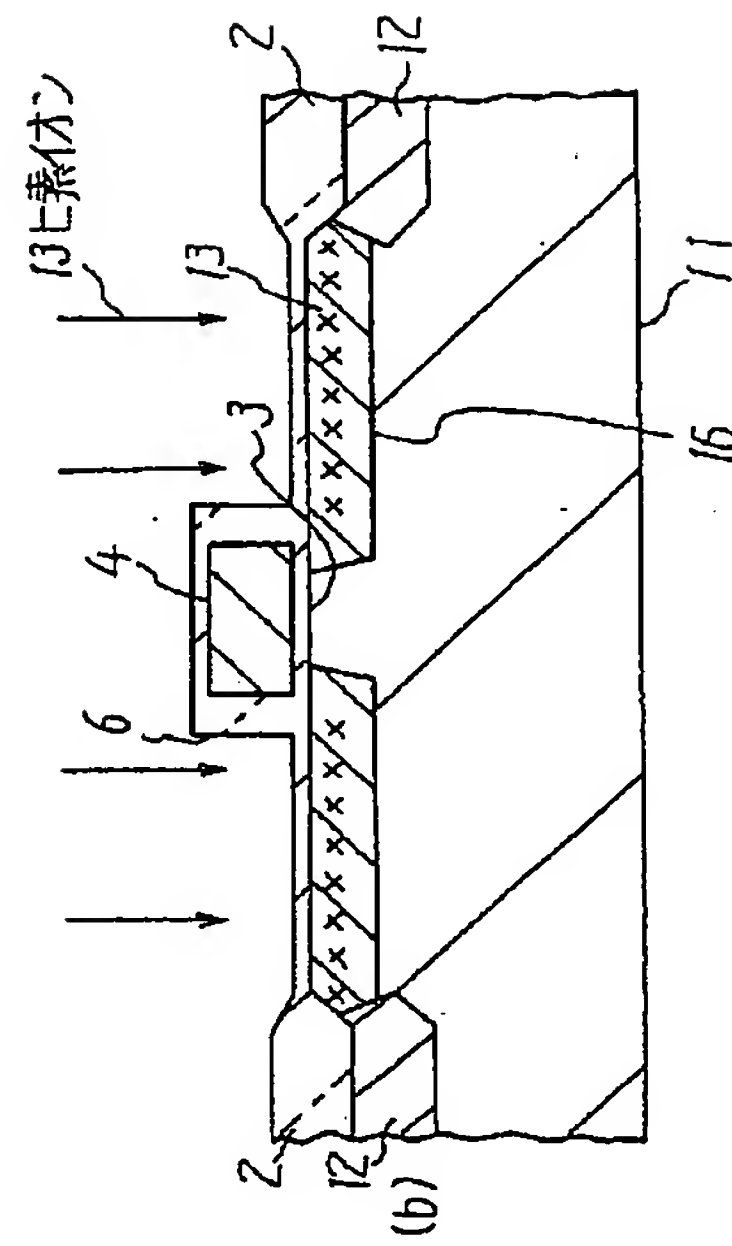
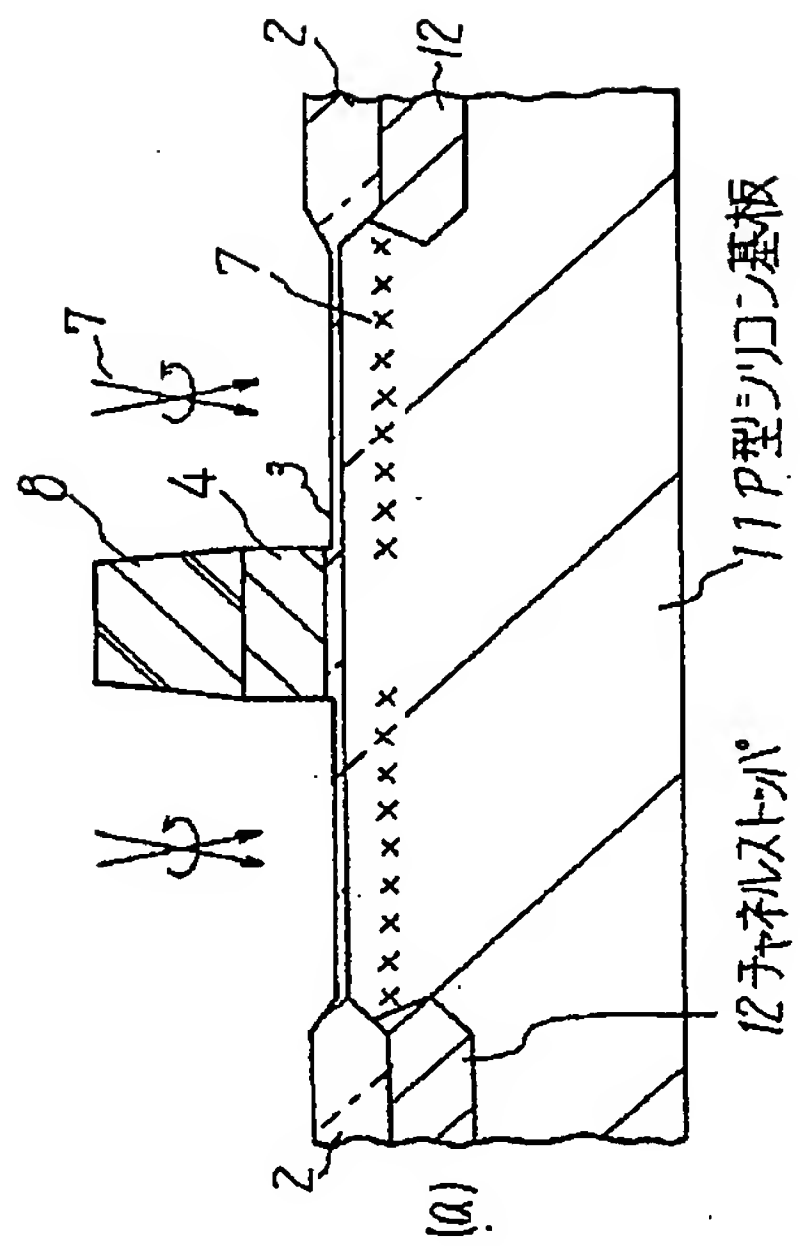
膜、3…ゲート酸化膜、4…ゲート電極、5…ソース・ドレイン領域、6…側壁部、7…リンイオン、8…ホトレジスト膜、9…ホウ素イオン、10… p^+ 型拡散層、11… p 型シリコン基板、12…チャネルストップバ、13…ヒ素イオン、14… n^- 型拡散層、15… n^+ 型拡散層、16…リンイオン注入層。

代理人 井理士 内 原 晋

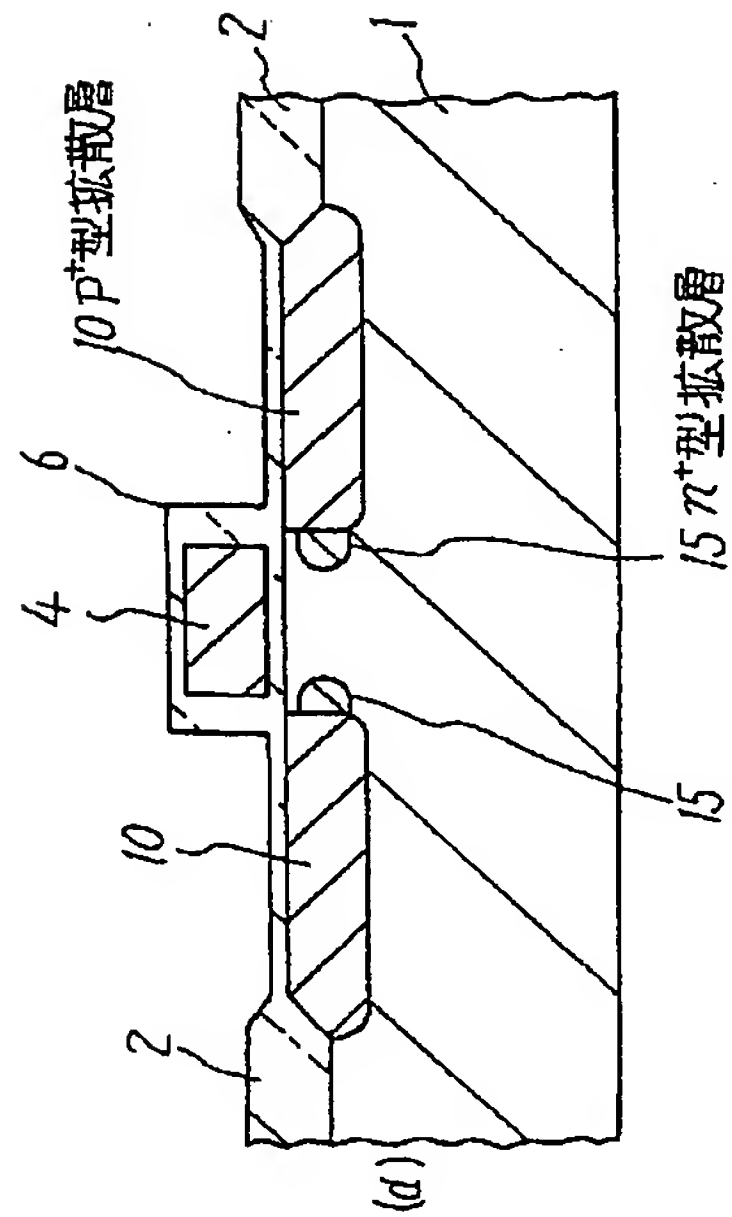
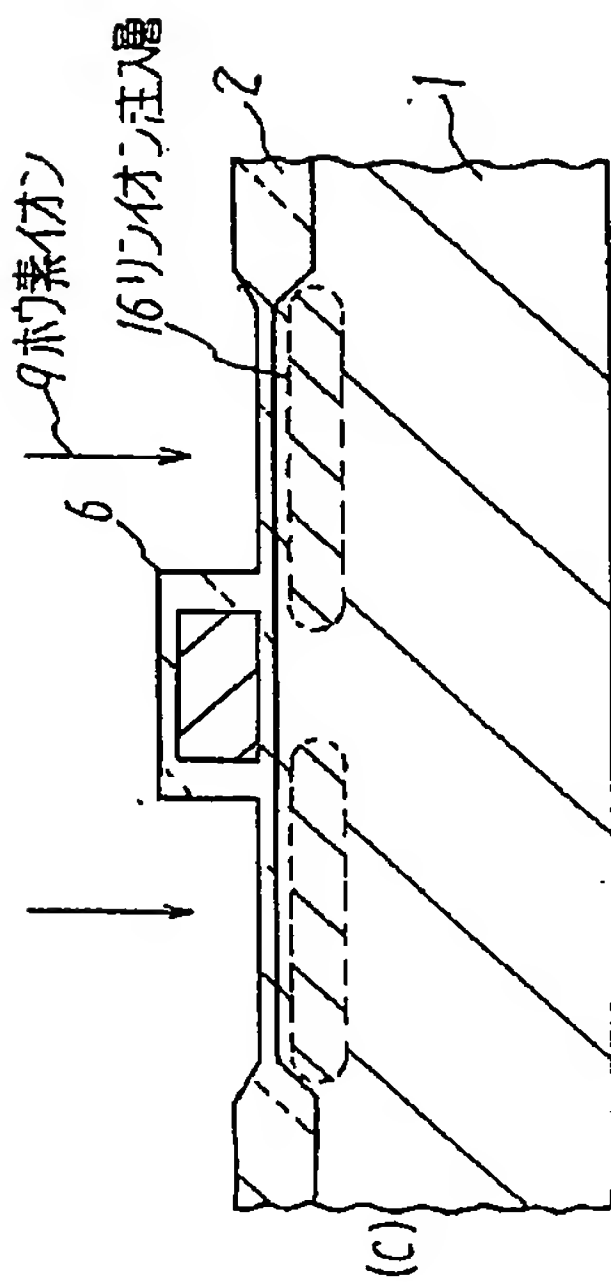
- 1 1 -



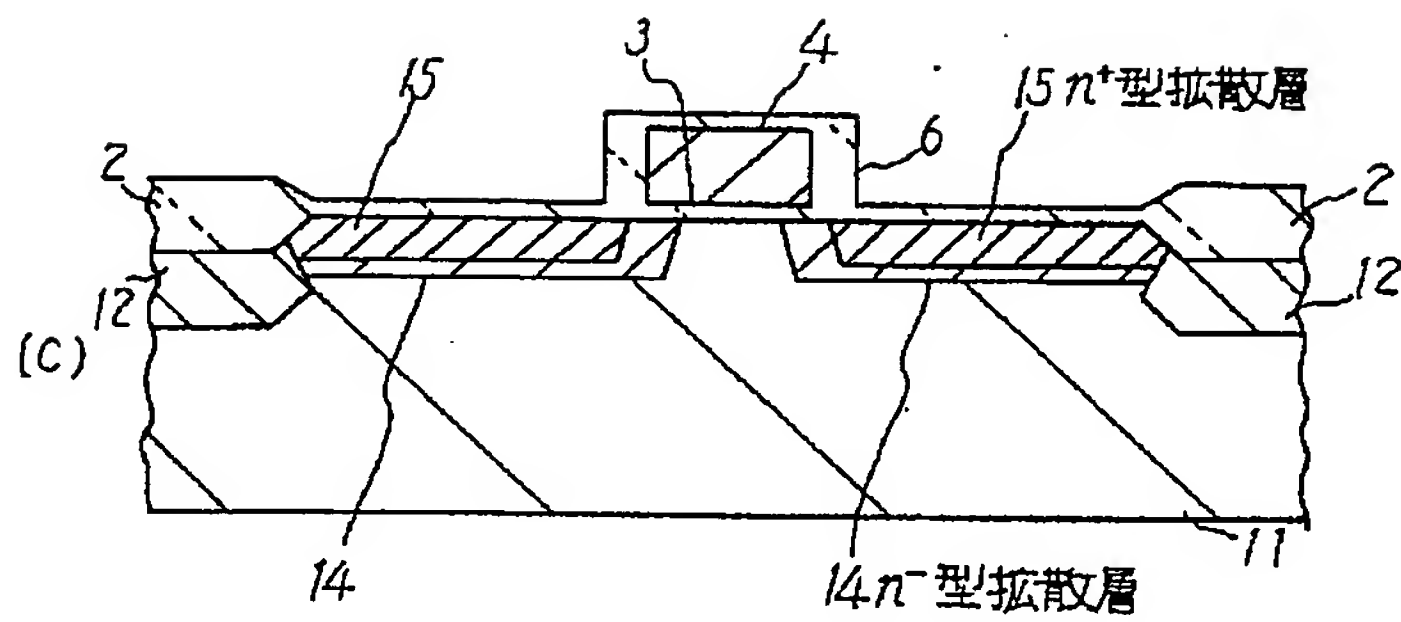
第 1 図



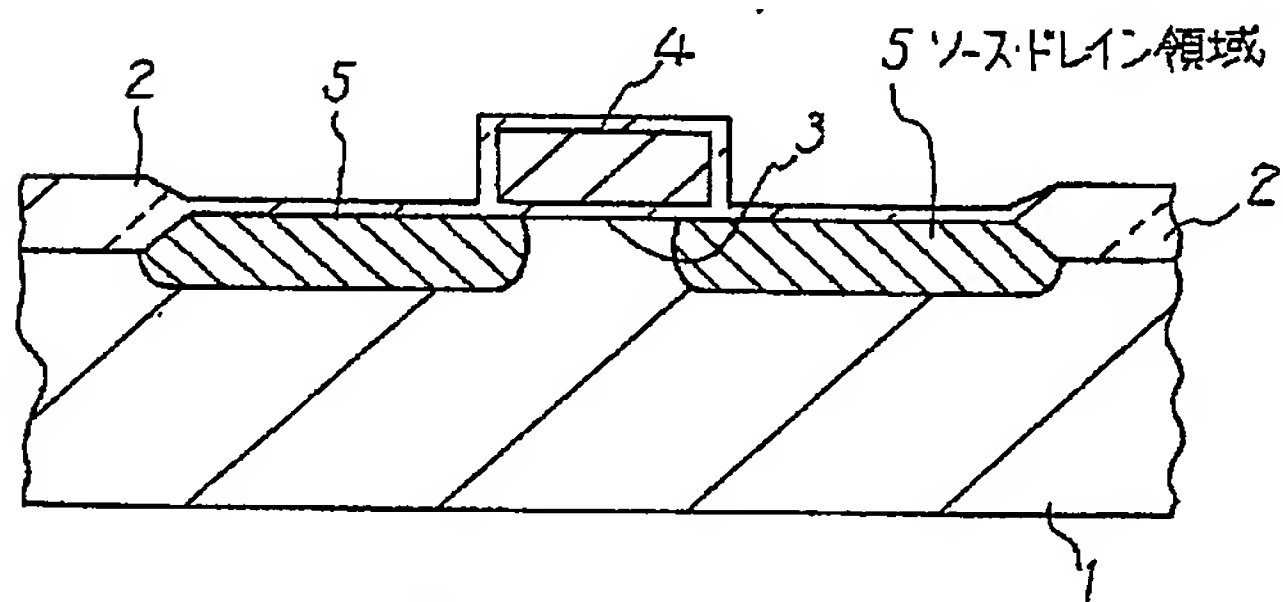
第 2 図



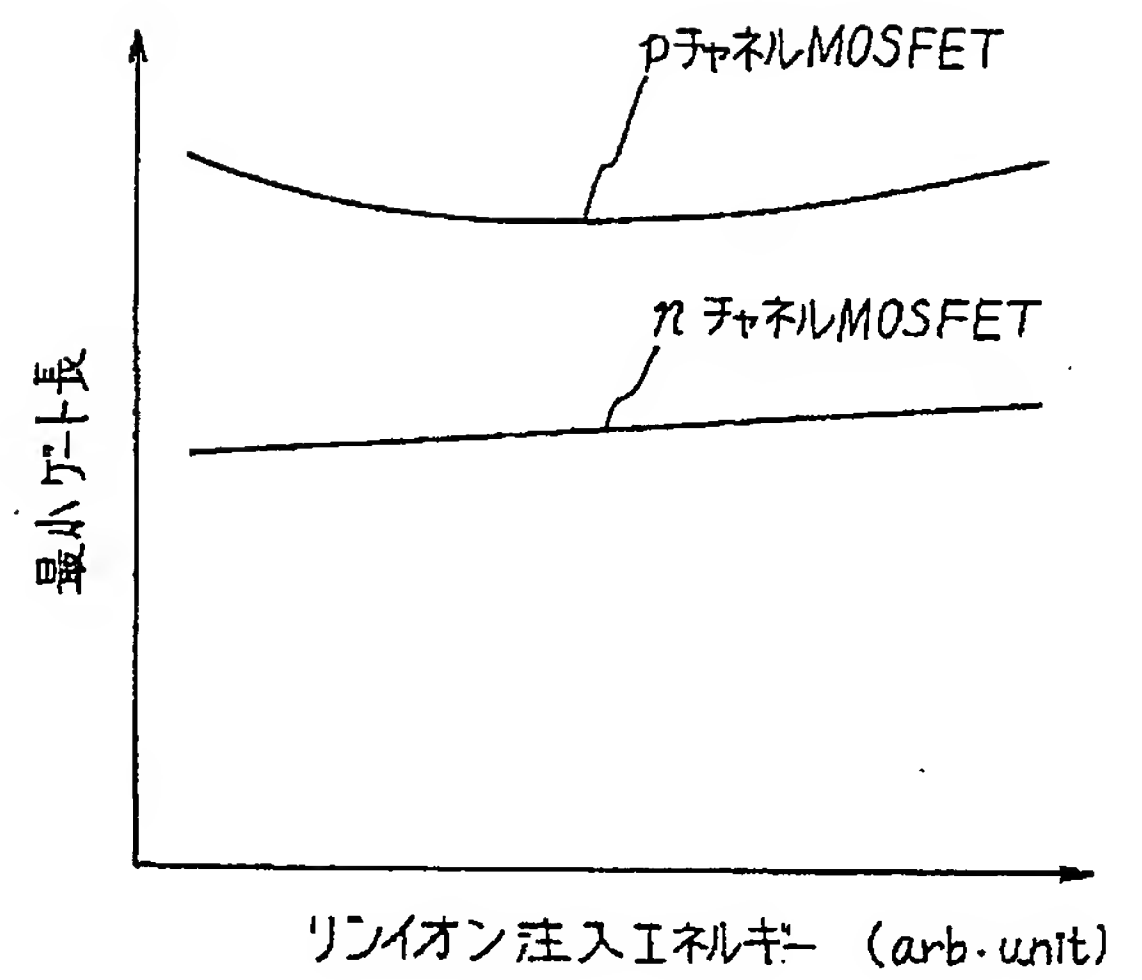
第 1 図



第 2 圖



第 3 圖



第 4 圖